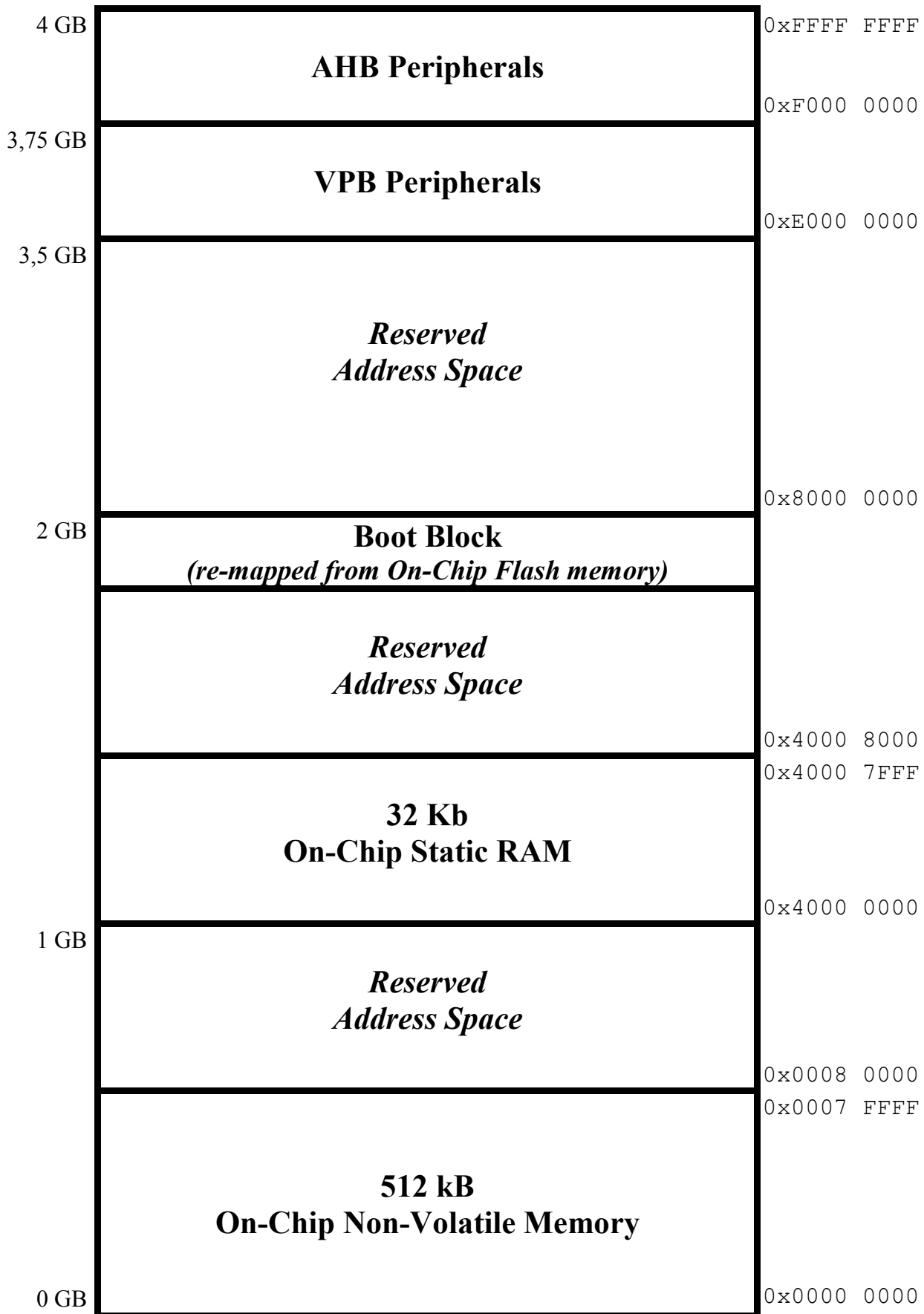


Memory Map for LPC2138



Funkcje alternatywne

PINSEL0 – wybór funkcji alternatywnych - rejestr 0

bity	pin	funkcja gdy bity równe:			
		00	01	10	11
1:0	P0.0	GPIO Port 0.0	TxD (UART0)	PWM1	<i>zarezerwowane</i>
3:2	P0.1	GPIO Port 0.1	RxD (UART0)	PWM3	EINT0
5:4	P0.2	GPIO Port 0.2	SCL0 (I ² C0)	Capture 0.0 (timer0)	<i>zarezerwowane</i>
7:6	P0.3	GPIO Port 0.3	SDA0 (I ² C0)	Match 0.0 (timer0)	EINT1
9:8	P0.4	GPIO Port 0.4	SCK (SPI0)	Capture 0.1 (timer0)	AD0.6
11:10	P0.5	GPIO Port 0.5	MISO0 (SPI0)	Match 0.1 (timer0)	AD0.7
13:12	P0.6	GPIO Port 0.6	MOSI0 (SPI0)	Capture 0.2 (timer0)	AD1.0
15:14	P0.7	GPIO Port 0.7	SSEL0 (SPI0)	PWM2	EINT2
17:16	P0.8	GPIO Port 0.8	TxD (UART1)	PWM4	AD1.1
19:18	P0.9	GPIO Port 0.9	RxD (UART1)	PWM6	EINT3
21:20	P0.10	GPIO Port 0.10	RTS (UART1)	Capture 1.0 (timer1)	AD1.2
23:22	P0.11	GPIO Port 0.11	CTS (UART1)	Capture 1.1 (timer1)	SCL1 (I ² C1)
25:24	P0.12	GPIO Port 0.12	DSR (UART1)	Match 1.0 (timer1)	AD1.3
27:26	P0.13	GPIO Port 0.13	DTR (UART1)	Match 1.1 (timer1)	AD1.4
29:28	P0.14	GPIO Port 0.14	DCD (UART1)	EINT1	SDA1 (I ² C1)
31:30	P0.15	GPIO Port 0.15	RI (UART1)	EINT2	AD1.5

PINSEL1 – wybór funkcji alternatywnych - rejestr 1

bity	pin	funkcja gdy bity równe:			
		00	01	10	11
1:0	P0.16	GPIO Port 0.16	EINT0	Match 0.2 (timer0)	Capture 0.2 (timer0)
3:2	P0.17	GPIO Port 0.17	Capture 1.2 (TIMER1)	SCK (SSP)	Match 1.2 (timer1)
5:4	P0.18	GPIO Port 0.18	Capture 1.3 (TIMER1)	MISO (SSP)	Match 1.3 (timer1)
7:6	P0.19	GPIO Port 0.19	Match 1.2 (timer1)	MOSI (SSP)	Capture 1.2 (timer1)
9:8	P0.20	GPIO Port 0.20	Match 1.3 (timer1)	SSEL (SSP)	EINT3
11:10	P0.21	GPIO Port 0.21	PWM5	AD1.6	Capture 1.3 (timer1)
13:12	P0.22	GPIO Port 0.22	AD1.7	Capture 0.0 (timer0)	Match 0.0 (timer0)
15:14	P0.23	GPIO Port 0.23	<i>zarezerwowane</i>	<i>zarezerwowane</i>	<i>zarezerwowane</i>
17:16	P0.24	<i>zarezerwowane</i>	<i>zarezerwowane</i>	<i>zarezerwowane</i>	<i>zarezerwowane</i>
19:18	P0.25	GPIO Port 0.25	AD0.4	Aout (DAC)	<i>zarezerwowane</i>
21:20	P0.26	GPIO Port 0.26	AD0.5	<i>zarezerwowane</i>	<i>zarezerwowane</i>
23:22	P0.27	GPIO Port 0.27	AD0.0	Capture 0.1 (timer0)	Match 0.1 (timer0)
25:24	P0.28	GPIO Port 0.28	AD0.1	Capture 0.2 (timer0)	Match 0.2 (timer0)
27:26	P0.29	GPIO Port 0.29	AD0.2	Capture 0.3 (timer0)	Match 0.3 (timer0)
29:28	P0.30	GPIO Port 0.30	AD0.3	EINT3	Capture 0.0 (timer0)
31:30	P0.31	GPIO Port 0.31	<i>zarezerwowane</i>	<i>zarezerwowane</i>	<i>zarezerwowane</i>

PINSEL2 – wybór funkcji alternatywnych - rejestr 2

bity	funkcja
1:0	<i>zarezerwowane - nie można wpisać 1 do tych bitów</i>
2	0 – P1.36:26 – uniwersalne linie wejścia/wyjścia (GPIO) 1 – P1.36:26 – linie używane jako Debug Port
3	0 – P1.25:16 – uniwersalne linie wejścia/wyjścia (GPIO) 1 – P1.25:16 – linie używane jako Trace Port
31:4	<i>zarezerwowane - nie można wpisać 1 do tych bitów</i>

Uniwersalne porty wejścia/wyjścia (GPIO)

IO0PIN, IO1PIN – stan portów P0 i P1

IO0SET, IO1SET – ustawianie stanu „1” na liniach portów P0 i P1

Ustawienie 1 na danym bicie rejestru zmienia stan odpowiadającej mu linii portu na „1”

IO0CLR, IO1CLR – ustawianie stanu „0” na liniach portów P0 i P1

Ustawienie 1 na danym bicie rejestru zmienia stan odpowiadającej mu linii portu na „0”

IO0DIR, IO1DIR – zmiana kierunku (wejście/wyjście) linii portów P0 i P1

Ustawienie 1 na danym bicie rejestru zmienia status odpowiadającej mu linii portu na „WYJŚCIE”.

Ustawienie 0 na danym bicie rejestru zmienia status odpowiadającej mu linii portu na „WEJŚCIE”.

TIMER 0

T0IR - rejestr identyfikacji przerw od timera0

<i>bit</i>	<i>funkcja</i>	<i>opis</i>
0	MR0_I	1 – przerwanie od porównania (compare) – kanał 0 – kanał 1 – kanał 2 – kanał 3
1	MR1_I	
2	MR2_I	
3	MR3_I	
4	CR0_I	1 – przerwanie od przechwytywania (capture) – kanał 0 – kanał 1 – kanał 2 – kanał 3
5	CR1_I	
6	CR2_I	
7	CR3_I	

Uwaga: kasowanie flagi przerwania poprzez wpis 1 (nie 0!!!)

T0TCR – stan pracy timera (control register)

<i>bit</i>	<i>funkcja</i>	<i>opis</i>
0	dozwoł timer	1- dozwolone działanie timera
1	kasuj timer	1 – timer i preskaler kasowane na narastające zbocze PCLK

PCLK – sygnał zegarowy podawany na peryferia procesora.

Częstotliwość procesora 60MHz tworzona jest poprzez PLL z rezonatora kwarcowego 12MHz. Dodatkowo w rejestrze VPBDIV - na 2 najmłodszych bitach zakodowany jest dzielnik (u nas VPBDIV=0 zatem dzielnik wynosi 4). Ostatecznie fpclk=15MHz.

T0CTCR – tryb pracy

<i>bit</i>	<i>funkcja</i>	<i>opis</i>
1:0	tryb pracy	00 – timer (każde zbocze narastające PCLK) 01 – licznik inkrementowany przez narastające zbocze sygnału CAP0 10 – licznik inkrementowany przez opadające zbocze sygnału CAP0 11 – licznik inkrementowany przez narastające i opadające zbocze sygnału CAP0
3:2	wejscie licznika	00 – CAP0.0 01 – CAP0.1 10 – CAP0.2 11 – CAP0.3

CAP0.0 - wejście P0.2 lub P0.22 lub P0.30

CAP0.1 - wejście P0.4 lub P0.27

CAP0.2 - wejście P0.6 lub P0.16 lub P0.28

CAP0.3 - wejście P0.29

UWAGA: Jeżeli wybrany jest tryb licznika to w rejestrze T0CCR muszą być wyzerowane 3 bity odpowiadające użyciu danego CAP0.x (x=0,1,2,3)

T0TC – bieżący stan timera

T0PR – wartość preskalera

T0PC – bieżący stan preskalera

T0MR0, T0MR1, T0MR2, T0MR3 – rejestry porównań

T0MCR – stan pracy timera0 gdy wartość jego wartości wynosi MR

<i>bit</i>	<i>funkcja</i>	<i>opis</i>
0	przerwanie MR0	1 - generowanie przerwania, jeśli TC=MR0
1	reset MR0	1 – kasowanie timera0, jeśli TC=MR0
2	stop MR0	1 – stop timera0 oraz ustawienie TCR.0=0, jeśli TC=MR0
3	przerwanie MR1	j.w., jeśli TC=MR1
4	reset MR1	
5	stop MR1	
6	przerwanie MR2	j.w., jeśli TC=MR2
7	reset MR2	
8	stop MR2	
9	przerwanie MR3	j.w., jeśli TC=MR3
10	reset MR3	
11	stop MR3	

T0CR0, T0CR1, T0CR2, T0CR3 – rejestry przechwytyjące

T0CCR – tryb pracy układu przechwytywania

<i>bit</i>	<i>opis</i>
0	1 - stan timera0 przepisywany do CR0 na zbocze narastające CAP0.0
1	1 - stan timera0 przepisywany do CR0 na zbocze opadające CAP0.0
2	1 - stan timera0 przepisywany do CR0 oraz generowanie przerwania na każdą zmianę stanu linii CAP0.0
3	j.w. dla CR1 i CAP0.1
4	
5	
6	j.w. dla CR2 i CAP0.2
7	
8	
9	j.w. dla CR3 i CAP0.3
10	
11	

T0EMR – stan linii MAT0 przy wystąpieniu porównania

<i>bit</i>	<i>opis</i>
0	1 – zmiana stanu linii MAT0.0 (patrz bity 5:4), jeśli TC=MR0
1	1 – zmiana stanu linii MAT0.1 (patrz bity 7:6), jeśli TC=MR1
2	1 – zmiana stanu linii MAT0.2 (patrz bity 9:8), jeśli TC=MR2
3	1 – zmiana stanu linii MAT0.3 (patrz bity 11:10), jeśli TC=MR3
5:4	00 – brak reakcji
7:6	01 – wyzerowanie stanu linii MAT0.x (x=0,1,2,3)
9:8	10 – ustawienie na „1” stanu linii MAT0.x
11:10	11 – zmiana stanu linii MAT0.x na przeciwny

MAT0.0 - wejście P0.3 lub P0.22

MAT0.1 - wejście P0.5 lub P0.27

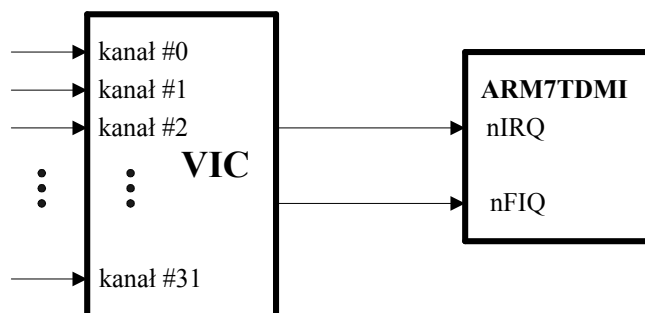
MAT0.2 - wejście P0.16 lub P0.28

MAT0.3 - wejście P0.29

Przerwania kontrolowane wektorowo (VIC)

ŹRÓDŁA PRZERWAŃ

nr kanału	zgłaszający	zdarzenie
#0	WDT	wyzerowanie timera watchdog'a
#1		<i>zarezerwowane dla przerw programowych</i>
#2	rdzeń ARM	wewnętrzny debugger (JTAG) – odbiór (Rx)
#3	rdzeń ARM	wewnętrzny debugger (JTAG) – transmisja (Tx)
#4	Timer0	układ porównujący (compare) – rejestry MR0:3 układ przechwytyjący (capture) – rejestry CR0:3
#5	Timer1	układ porównujący (compare) – rejestry MR0:3 układ przechwytyjący (capture) – rejestry CR0:3
#6	UART0	status linii Rx (RLS) pusty rejestr nadajnika (THRE) odebrane dane dostępne (RDA) przeterminowane odebranie danej (CTI)
#7	UART1	status linii Rx (RLS) pusty rejestr nadajnika (THRE) odebrane dane dostępne (RDA) przeterminowane odebranie danej (CTI) status modemu (MSI)
#8	PWM0	układ porównujący (compare) – rejestry PWMMR0:6
#9	I ² C0	zmiana stanu (SI)
#10	SPI0	przerwanie SPI (SPIF) błąd sygnału SSEL (MODF)
#11	SPI1 (SSP)	FIFO nadajnika w połowie puste (TXRIS) FIFO odbiornika w połowie puste (RXRIS) przeterminowanie odbioru (RTRIS) przepelnienie odbiornika (RORRIS)
#12	PLL	otwarta pętla PLL (PLOCK)
#13	RTC	zwiększenie licznika (RTCCIF) alarm (RTCALF)
#14	System	przerwanie zewnętrzne 0 (EINT0)
#15	System	przerwanie zewnętrzne 1 (EINT1)
#16	System	przerwanie zewnętrzne 2 (EINT2)
#17	System	przerwanie zewnętrzne 3 (EINT3)
#18	ADC0	koniec konwersji przetwornika 0
#19	I ² C1	zmiana stanu (SI)
#20	BOD	zanik napięcia zasilającego
#21	ADC1	koniec konwersji przetwornika 1



VICVectAddr0:15 – adres procedury obsługi przerwania

Wpisanie adresu procedury pod VICVectAddr0 nadaje przerwaniu najwyższy priorytet.
Wpisanie adresu procedury pod VICVectAddr15 nadaje przerwaniu najniższy priorytet.

VICVectAddr – adres procedury obsługi przerwania

Po wystąpieniu przerwania adres odpowiedniej procedury obsługi przepisywany jest do tego rejestru z odpowiedniego rejestru VICVectAddr0:15. Na zakończenie obsługi przerwania należy do tego rejestru wpisać dowolną wartość, co równoznaczne jest z przekazaniem informacji końca obsługi przerwania do kontrolera VIC.

VICVectCntl0:15 – rejestr określający źródło przerwania

<i>bit</i>	<i>opis</i>
4:0	numer kanału przerwania o priorytecie określonym numerem 0:15 (patrz: tabela „Źródła przerwania”)
5	1 – aktywny (wybrany powyżej) numer kanału kontrolera VIC

VICIntEnable – rejestr dozwolenia przerwania

Wpisanie 1 na odpowiedni numer bitu dozwala przerwaniu w kanale będącym numerem tego bitu (patrz: tabela „Źródła przerwania”). Zabronienie przerwania: patrz rejestr VICIntEnClear.

VICIntEnClear – rejestr zabronienia przerwania

Wpisanie 1 na odpowiedni numer bitu zabrania przerwaniu w kanale będącym numerem tego bitu (patrz: tabela „Źródła przerwania”). Dozwolenie przerwania: patrz rejestr VICIntEnable.

VICIntSelect – rejestr określający rodzaj przerwania.

Wpisanie 1 na odpowiedni numer bitu kwalifikuje przerwaniu w kanale będącym numerem tego bitu jako tzw. „szybkie” przerwanie FIQ.

Wpisanie 0 na odpowiedni numer bitu kwalifikuje przerwaniu w kanale będącym numerem tego bitu jako tzw. „zwykłe” przerwanie IRQ.

VICIRQStatus – rejestr określający kanały zgłaszające przerwania IRQ

Odczytanie 1 na odpowiednim numerze bitu określa numer kanału w którym wystąpiło przerwanie IRQ.

VICFIQStatus – rejestr określający kanały zgłaszające przerwania FIQ

Odczytanie 1 na odpowiednim numerze bitu określa numer kanału w którym wystąpiło przerwanie FIQ.

Przerwania zewnętrzne

EXTINT – źródło przerwania zewnętrznego

<i>bit</i>	<i>funkcja</i>	<i>opis</i>
0	EINT0	1 – wystąpiło przerwanie zewnętrzne EINT0
1	EINT1	1 – wystąpiło przerwanie zewnętrzne EINT1
2	EINT2	1 – wystąpiło przerwanie zewnętrzne EINT2
3	EINT3	1 – wystąpiło przerwanie zewnętrzne EINT3
7:4	<i>zarezerwowane</i>	<i>nie można wpisać 1 do tych bitów</i>

Uwaga: kasowanie flagi przerwania poprzez wpis 1 (nie 0!!!). Jeżeli przerwanie wyzwalane poziomem, a poziom nadal aktywny, to flagi przerwania nie można skasować

EINT0 – wejście P0.1, P0.16

EINT1 – wejście P0.3, P0.14

EINT2 – wejście P0.7, P0.15

EINT3 – wejście P0.9, P0.20, P0.30

EXTMODE – sposób zgłoszenia przerwania

<i>bit</i>	<i>funkcja</i>	<i>opis</i>
0	EINT0	0 – przerwanie wyzwalane zboczem 1 – przerwanie wyzwalane poziomem
1	EINT1	
2	EINT2	
3	EINT3	
7:4	<i>zarezerwowane</i>	<i>nie można wpisać 1 do tych bitów</i>

EXTPOLAR – sposób zgłoszenia przerwania (polaryzacja)

<i>bit</i>	<i>funkcja</i>	<i>opis</i>
0	EINT0	0 – przerwanie wyzwalane poziomem 0 lub zboczem opadającym 1 – przerwanie wyzwalane poziomem 1 lub zboczem narastającym (patrz: rejestr EXTMODE)
1	EINT1	
2	EINT2	
3	EINT3	
7:4	<i>zarezerwowane</i>	<i>nie można wpisać 1 do tych bitów</i>

INTWAKE – wybudzenie procesora ze stanu uśpienia

<i>bit</i>	<i>funkcja</i>	<i>opis</i>
0	EXTWAKE0	1 – wystąpienie przerwania na odpowiedniej linii EINT0 wybudzi procesor ze stanu uśpienia
1	EXTWAKE1	
2	EXTWAKE2	
3	EXTWAKE3	
13:4	<i>zarezerwowane</i>	<i>nie można wpisać 1 do tych bitów</i>
14	BODWAKE	1 – wystąpienie przerwania od zaniku napięcia zasilania wybudzi procesor ze stanu uśpienia
15	RTCWAKE	1 – wystąpienie przerwania od zegara RTC wybudzi procesor ze stanu uśpienia

Modulacja szerokości impulsu (PWM)

PWMIR – rejestr przerwania od układu PWM

<i>bit</i>	<i>funkcja</i>	<i>opis</i>
0	przerwanie PWMMR0	flaga przerwania od PWM – kanał 0 – kanał 1 – kanał 2 – kanał 3
1	przerwanie PWMMR1	
2	przerwanie PWMMR2	
3	przerwanie PWMMR3	
4,5,6,7	<i>zarezerwowane</i>	<i>nie można wpisać 1 do tych bitów</i>
8	przerwanie PWMMR4	flaga przerwania od PWM – kanał 4 – kanał 5 – kanał 6
9	przerwanie PWMMR5	
10	przerwanie PWMMR6	

PWMTCR – stan pracy układu PWM

<i>bit</i>	<i>opis</i>
0	1 – dozwolone działanie timera PWM
1	1 – timer PWM i preskaler PWM kasowane na narastające zbocze PCLK
2	<i>zarezerwowane - nie można wpisać 1 do tego bitu</i>
3	1 – dozwolone działanie układu PWM 0 – timer PWM działa jak zwykły timer

PWMTC – bieżący stan timera PWM

PWMPR – wartość preskalera PWM

PWMPC – bieżący stan preskalera PWM

PWMMR0, PWMMR1, PWMMR2, PWMMR3, PWMMR4, PWMMR5, PWMMR6 – rejestry porównań układu PWM

Uwaga: Rejestr PWMMR0 określa okres sygnału, pozostałe rejestry – czas trwania „1”.

Wpisanie wartości do rejestrów PWMMRx nie powoduje automatycznej zmiany parametrów PWM. Umożliwia to dopiero ustawienie odpowiednich bitów w rejestrze PWMLER

PWMLER – rejestr synchronizacji kanałów układu PWM

<i>bit</i>	<i>opis</i>
0	1 – powoduje zmianę parametru układu PWM zapisanego w PWMMR0
1	j.w. dla PWMMR1
2	j.w. dla PWMMR2
3	j.w. dla PWMMR3
4	j.w. dla PWMMR4
5	j.w. dla PWMMR5
6	j.w. dla PWMMR6
7	<i>zarezerwowane - nie można wpisać 1 do tego bitu</i>

PWMPCR – stan pracy układu PWM, gdy PWMTC=PWMMR_x

<i>bit</i>	<i>opis</i>
0	1 - generowanie przerwania, jeśli PWMTC=PWMMR0
1	1 – kasowanie timera PWM, jeśli PWMTC=PWMMR0
2	1 – stop timera PWM oraz ustawienie PWMTCR[0]=0, jeśli PWMTC=PWMMR0
3	
4	j.w. dla PWMTC=PWMMR1
5	
6	
7	j.w. dla PWMTC=PWMMR2
8	
9	
10	j.w. dla PWMTC=PWMMR3
11	
12	
13	j.w. dla PWMTC=PWMMR4
14	
15	
16	j.w. dla PWMTC=PWMMR5
17	
18	
19	j.w. dla PWMTC=PWMMR6
20	

PWMPCR – tryb pracy poszczególnych kanałów układu PWM

<i>bit</i>	<i>funkcja</i>	<i>opis</i>
1:0	<i>zarezerwowane</i>	<i>nie można wpisać 1 do tych bitów</i>
2	PWMSEL2	0 – możliwość zmiany tylko czasu trwania „1” dla PWM2 1 – możliwość zmiany opóźnienia startu „1” oraz czasu jej trwania
3	PWMSEL3	j.w. dla PWM3
4	PWMSEL4	j.w. dla PWM4
5	PWMSEL5	j.w. dla PWM5
6	PWMSEL6	j.w. dla PWM6
8:7	<i>zarezerwowane</i>	<i>nie można wpisać 1 do tych bitów</i>
9	PWMENA1	dozwoł wyjście PWM1
10	PWMENA2	dozwoł wyjście PWM2
11	PWMENA3	dozwoł wyjście PWM3
12	PWMENA4	dozwoł wyjście PWM4
13	PWMENA5	dozwoł wyjście PWM5
14	PWMENA6	dozwoł wyjście PWM6
15	<i>zarezerwowane</i>	<i>nie można wpisać 1 do tego bitu</i>

Uwaga: dla PWMSEL_x=1 liczba kanałów PWM spada do 3. Zaleca się wtedy używać jako wyjść linii PWM2, PWM4, PWM6. Przykładowo PWM2 obsługiwane jest wtedy przez PWM1 (określa czas startu „1”) i PWM2 (określa czas trwania „1”).

Przetwornik A/C (AD0)

AD0CR – tryb pracy przetwornika

<i>bit</i>	<i>funkcja</i>	<i>opis</i>
7:0	SEL	nr kanału analogowego – każdy bit odpowiada za jeden kanał
15:8	CLKDIV	określa częstotliwość konwersji wg wzoru: $f_{ac} = f_{PCLK} / (CLKDIV + 1)$; f_{ac} musi być $\leq 4,5$ MHz
16	BURST	0 – kontrolowana programowo przez bity START, konwersja tylko jednego, wybranego w SEL kanału 1 – automatyczna, cykliczna konwersja kanałów ustawionych w SEL. Parametry konwersji określone w CLKS. Bity START muszą być równe 000.
19:17	CLKS	określenie rozdzielczości A/C i czasu konwersji dla BURST=1: 000 – 10 bitów / 11 cykli zegarowych 001 – 9 bitów / 10 cykli zegarowych 111 – 3 bity / 4 cykle zegarowe
21	PDN	0 – przetwornik w trybie power down mode (START=000) 1 – normalna praca przetwornika
23:22	TEST1:0	00 – normalna praca przetwornika 01, 10, 11 – tryby testowe
26:24	START	dla trybu BURST=0: 000 – stop konwersji 001 – programowy start konwersji 010 – start konwersji na zbocze EDGE na P0.16 011 – start konwersji na zbocze EDGE na P0.22 100 – start konwersji na zbocze EDGE na MAT0.1 101 – start konwersji na zbocze EDGE na MAT0.3 110 – start konwersji na zbocze EDGE na MAT1.0 111 – start konwersji na zbocze EDGE na MAT1.1 <i>MAT</i> – wyjścia układu porównującego <i>TIMERA</i>
27	EDGE	0 – start konwersji na zbocze opadające sygn. zewnętrznego 1 – start konwersji na zbocze narastające sygn. Zewnętrznego
31:28	<i>zarezerwowane</i>	<i>nie można wpisać 1 do tych bitów</i>

f_{pclk} – częstotliwość sygnału zegarowego podawanego na peryferia procesora. Dla częstotliwości procesora 60MHz i $VPBDIV=0$, $f_{pclk}=15$ MHz.

AD0DR – wynik konwersji przetwornika

<i>bit</i>	<i>funkcja</i>	<i>opis</i>
5:0	<i>zarezerwowane</i>	<i>nie można wpisać 1 do tych bitów</i>
15:6	V/V3A	dla DONE=1 wynik konwersji kanału CHN
23:16	<i>zarezerwowane</i>	<i>nie można wpisać 1 do tych bitów</i>
26:24	CHN	numer kanału pomiarowego
29:27	<i>zarezerwowane</i>	<i>nie można wpisać 1 do tych bitów</i>
30	OVERUN	1 – poprzedni pomiar utracony dla BURST=1 (kasowanie poprzez odczyt)
31	DONE	1 – koniec konwersji

ADGSR – rejestr synchronizacji pracy dwóch przetworników A/C

<i>bit</i>	<i>funkcja</i>	<i>opis</i>
15:0	<i>zarezerwowane</i>	<i>nie można wpisać 1 do tych bitów</i>
16	BURST	patrz opis rejestru AD0CR
19:17	CLKS	określenie rozdzielczości A/C i czasu konwersji dla BURST=1: 000 – 10 bitów / 11 cykli zegarowych 001 – 9 bitów / 10 cykli zegarowych 111 – 3 bity / 4 cykle zegarowe
23:17	<i>zarezerwowane</i>	<i>nie można wpisać 1 do tych bitów</i>
26:24	START	patrz opis rejestru AD0CR
27	EDGE	patrz opis rejestru AD0CR
31:28	<i>zarezerwowane</i>	<i>nie można wpisać 1 do tych bitów</i>

Uwaga: rejestr ten umożliwia synchronizację pracy dwóch przetworników A/C: AD0 i AD1. Wartości ustawionych w nim bitów odnoszą się do dwóch przetworników jednocześnie.

AD0.0 – wejście P0.27

AD0.1 – wejście P0.28

AD0.2 – wejście P0.29

AD0.3 – wejście P0.30

AD0.4 – wejście P0.25

AD0.5 – wejście P0.26

AD0.6 – wejście P0.4

AD0.7 – wejście P0.5

Przetwornik C/A

DACR – rejestr przetwornika C/A

<i>bit</i>	<i>funkcja</i>	<i>opis</i>
5:0	<i>zarezerwowane</i>	<i>nie można wpisać 1 do tych bitów</i>
15:6	VALUE	wpisanie wartości powoduje pojawienie się na wyjściu AOUT napięcia określonego wzorem: $U_{\text{aut}} = \text{VALUE} / 1024 * V_{\text{ref}}$ ($V_{\text{ref}} = 3,3\text{V}$ – napięcie referencyjne)
16	BIAS	0 – czas przetwarzania – 1 ms, prąd pobierany – ok. 700 μs 1 – czas przetwarzania – 2,5 ms, prąd pobierany – ok. 350 μs
31:17	<i>zarezerwowane</i>	<i>nie można wpisać 1 do tych bitów</i>

AOUT – wejście P0.25

Port szeregowy (UART0)

U0RBR – bufor odbiornika

Bit0 – LSB, bit7 – MSB

Uwaga: aby uzyskać dostęp do rejestru U0RBR wartość bitu U0LCR.7 (DLAB) musi wynosić 0.

RxD – wejście P0.1

U0THR – bufor nadajnika

Bit0 – LSB, bit7 – MSB

Uwaga: aby uzyskać dostęp do rejestru U0THR wartość bitu U0LCR.7 (DLAB) musi wynosić 0.

TxD – wejście P0.0

U0LCR – tryb pracy portu szeregowego

bit	funkcja	opis
1:0	długość znaku	00 – 5 bitów 01 – 6 bitów 10 – 7 bitów 11 – 8 bitów
2	liczba bitów stopu	0 – 1 bit stopu 1 – 2 bity stopu (1,5 bitu stopu dla znaku 5-bitowego)
3	kontrola parzystości	0 – zabroniona 1 – dozwolona
5:4	rodzaj parzystości	00 – nieparzysta liczba bitów w znaku 01 – parzysta liczba bitów w znaku 10 – bit parzystości zawsze równy 1 11 – bit parzystości zawsze równy 0
6	przerwa transmisji	0 – zabroniona 1 – dozwolona – ustawienie linii TxD w stan 0
7	dzielnik taktujący DLAB	0 – dostęp zabroniony 1 – dostęp dozwolony

U0DLL, U0DLM – rejestry służące do ustalania prędkości transmisji (bity 7:0)

Tworzą razem 16 bitowy dzielnik U0DL (U0DLL – część młodsza).

Prędkość transmisji (boud-rate) liczymy ze wzoru:

$$BR = \frac{PCLK}{16(16 \cdot U0DLM + U0DLL)}$$

Uwaga: dostęp do tych rejestrów możliwy tylko wtedy gdy U0LCR.7=1.

W przypadku ustawienia U0DL=0x0000 zostanie przyjęte automatycznie U0DL=0x0001.

U0FCR – tryb pracy kolejki FIFO (długość kolejki – 16 znaków)

bit	funkcja	opis
0	FIFO_EN	0 – dozwolenie FIFO oraz dostęp do bitów 1, 2, 6, 7 1 – zabronienie FIFO każda zmiana tego bitu kasuje kolejkę FIFO całego UART0
1	FIFO_Rx_CLR	1 – kasowanie kolejki odbiornika
2	FIFO_Tx_CLR	1 – kasowanie kolejki nadajnika
5:3	zarezerwowane	nie można wpisać 1 do tych bitów
7:6	Rx_INT_number	00 – zgłoszenie przerwania po 1 odebranych znaku 01 – zgłoszenie przerwania po 4 odebranych znakach 10 – zgłoszenie przerwania po 8 odebranych znakach 11 – zgłoszenie przerwania po 14 odebranych znakach

U0LSR – status UART0

<i>bit</i>	<i>funkcja</i>	<i>opis</i>
0	RDR Receiver Data Ready	0 – bufor odbiornika U0RBR pusty (pusta kolejka FIFO) 1 – bufor odbiornika U0RBR wypełniony
1	OE Overrun Error	1 – przepełniona kolejka FIFO odbiornika <i>Kasowanie bitu poprzez odczyt rejestru U0LSR</i>
2	PE Parity Error	1 – błąd kontroli parzystości <i>Kasowanie bitu poprzez odczyt rejestru U0LSR</i>
3	FE Framing Error	1 – odebranie błędnego bitu stopu <i>Kasowanie bitu poprzez odczyt rejestru U0LSR</i>
4	BI Break Interrupt	1 – odczytanie samych zer (start, dane, parzystość, stop) z RxD <i>Kasowanie bitu poprzez odczyt rejestru U0LSR</i>
5	THRE Transmitter Holding Register Empty	0 – bufor nadajnika U0THR wypełniony 1 – bufor nadajnika U0THR pusty
6	TEMT Transmitter Empty	1 – wszystkie dane ustawione w FIFO zostały wysłane
7	RXFE Error in Rx FIFO	1 – wystąpił jakiś błąd odbiornika (PE, FE, BI) <i>Kasowanie bitu poprzez odczyt rejestru U0LSR</i>

U0IER – rejestr dozwolenia przerwania od UART0

<i>bit</i>	<i>funkcja</i>	<i>opis</i>
0	Rx_IEN	1 – dozwolone przerwanie od odbiornika (patrz U0FCR.7:6) oraz od przeterminowania (time-out)
1	Tx_IEN	1 – dozwolone przerwanie od nadajnika (pusty bufor)
2	LSR_IEN	1 – dozwolone przerwanie informujące o zmianie U0LSR.4:1
7:3	<i>zarezerwowane</i>	<i>nie można wpisać 1 do tych bitów</i>

U0IIR – rejestr identyfikacji przerwania od UART0

<i>bit</i>	<i>funkcja</i>	<i>opis</i>	
0	INT	0 – wystąpiło przerwanie (identyfikacja: bity 3:1) 1 – brak przerwania	
3:1	INT_ident	011 – zmiana bitów U0LSR.4:1 010 – odebrano nowe dane 110 – nie odebrano żadnego znaku lub odebrano za mało znaków (patrz: U0FCR.7:6) po upływie określonego czasu (time-out) 001 – bufor nadajnika pusty <i>pozostałe kombinacje bitów zarezerwowane</i>	- najwyższy - średni - średni - najniższy <i>priorytet</i>
5:4	<i>zarezerwowane</i>	<i>nie można wpisać 1 do tych bitów</i>	
7:6	FIFO_EN	dozwoleń kolejki FIFO (patrz: U0FCR.0)	

Zegar czasu rzeczywistego (RTC)

CCR – tryb pracy zegara

<i>bit</i>	<i>funkcja</i>	<i>opis</i>
0	CLKEN	1 – dozwolona praca zegara (start zegara)
1	CTCRST	1 – kasowanie licznika zegara
3:2	CTTEST	0 – normalna praca zegara 1 – wewnętrzny test zegara
4	CLKSRC	0 – taktowanie zegara z wewnętrznego sygnału 1 – taktowanie zegara z zewnętrznego rezonatora kwarcowego

SEC – rejestr sekund

MIN – rejestr minut

HOUR – rejestr godzin

DOM – rejestr dni miesiąca

DOW – rejestr dni tygodnia

DOY – rejestr dni roku

MONTH – rejestr miesiąca

YEAR – rejestr roku

ALSEC – rejestr sekund - alarm

ALMIN – rejestr minut - alarm

ALHOUR – rejestr godzin - alarm

ALDOM – rejestr dni miesiąca - alarm

ALDOW – rejestr dni tygodnia - alarm

ALDOY – rejestr dni roku - alarm

ALMONTH – rejestr miesiąca - alarm

ALYEAR – rejestr roku – alarm

CTC – licznik zegara modulo 32768

<i>bit</i>	<i>opis</i>
0	<i>zarezerwowane – nie można wpisać 1 do tego bitu</i>
15:1	16 bitowy licznik zegara

ILR – rejestr przerwania od RTC

<i>bit</i>	<i>funkcja</i>	<i>opis</i>
0	RTCCIF	1 – jest przerwanie od zmiany rejestrów czasu
1	RTCALF	1 – jest przerwanie od alarmu

Uwaga: kasowanie flagi przerwania poprzez wpis 1 (nie 0!!!).

CIIR – rejestr przerwania od zmiany rejestrów czasu

<i>bit</i>	<i>funkcja</i>	<i>opis</i>
0	IMSEC	1 –przerwanie od inkrementowania sekund
1	IMMIN	1 –przerwanie od inkrementowania minut
2	IMHOUR	1 –przerwanie od inkrementowania godzin
3	IMDOM	1 –przerwanie od inkrementowania dni miesiąca
4	IMDOW	1 –przerwanie od inkrementowania dni tygodnia
5	IMDOY	1 –przerwanie od inkrementowania dni roku
6	IMMON	1 –przerwanie od inkrementowania miesiąca
7	IMYEAR	1 –przerwanie od inkrementowania roku

Uwaga: kasowanie wszystkich flag przerwania poprzez wpis 1 do bitu 0 rejestru ILR.

AMR – rejestr wyboru rejestrów czasu biorących udział w alarmie

<i>bit</i>	<i>funkcja</i>	<i>opis</i>
0	AMRSEC	1 – rejestr SEC nie bierze udziału w alarmie
1	AMRMIN	j.w. dla MIN
2	AMRHOUR	j.w. dla HOUR
3	AMRDOM	j.w. dla DOM
4	AMRDOW	j.w. dla DOW
5	AMRDOY	j.w. dla DOY
6	AMRMON	j.w. dla MON
7	AMRYEAR	j.w. dla YEAR