

Teoria Automatów

Kierunek Automatyka i Robotyka, I stopień, Moduł ASE

ARR022106 15W+30L

prowadzący: dr inż. Janusz Staszewski, docent PWr, budynek D20, p.417, tel. 320-38-76

e-mail: janusz.staszewski@pwr.wroc.pl

strona WWW Zakładu: zas.pwr.edu.pl, zakładka *dydaktyka*

skrypt: Układy logiczne. Ćwiczenia laboratoryjne pod redakcją M. Łukowicza

Wydawnictwo PWr, Wrocław, 2002

Program laboratorium:

1. Podstawowe układy z bramkami i przerzutnikami – realizacja na makietach i w programie symulacyjnym – 1 termin
2. Projektowanie asynchronicznych statycznych układów sekwencyjnych z wykorzystaniem bramek logicznych (skrypt ćwic. nr 3, program symulacyjny) – 2 terminy zajęć
3. Projektowanie asynchronicznych układów sekwencyjnych z wykorzystaniem przerzutników (skrypt ćwic. nr 4, program symulacyjny) – 1 termin zajęć
4. Projektowanie układów sekwencyjnych za pomocą tablicy kolejności łączy (skrypt ćwic. nr 5, makietka z przekaźnikami) – 2 terminy
5. Układy komutacyjne (skrypt ćwic. nr 9, makietka EI-14) – 1 termin
6. Układy konwersji kodów (skrypt ćwic. nr 7, makietka EI-13) – 1 termin
7. Projektowanie synchronicznych układów sekwencyjnych (skrypt ćwic. nr 6, program symulacyjny) – 2 terminy
8. Sumatory i komparatory (skrypt ćwic. nr 8, makietka EI-15) – 1 termin
9. Liczniki (skrypt ćwic. nr 10, makietka EI-12) – 1 termin
10. Rejestry (skrypt ćwic. nr 11, program symulacyjny) – 1 termin

Studenci dzielą się na 5 grup laboratoryjnych.

Kolejność wykonywania ćwiczeń:

grupa tydzień	I	II	III	IV	V
1-szy	wprowadzenie				
2-gi	1	1	1	1	1
3-ci	2	4	5	6	7
4-ty	2	4	6	7	7
5-ty	3	5	7	7	8
6-ty	4	6	7	8	9
7-my	4	7	8	9	10
8-my	5	7	9	10	2
9-ty	6	8	10	2	2
10-ty	7	9	2	2	3
11-ty	7	10	2	3	4
12-ty	8	2	3	4	4
13-ty	9	2	4	4	5
14-ty	10	3	4	5	6
15-ty	termin odróbczy, zaliczenie				

Instrukcje do ćwiczeń laboratoryjnych

- Zapoznać się z budową makiet elementów cyfrowych. Wyznaczyć tabele prawdy dla elementów wskazanych przez prowadzącego.
Zapoznać się z programem do symulacji działania układów cyfrowych. Przetestować różne możliwości zadawania sygnałów wejściowych oraz odczytu sygnałów wyjściowych. Wyznaczyć tabele prawdy dla elementów wskazanych przez prowadzącego.
- Zrealizować na bramkach logicznych asynchroniczny statyczny układ sekwencyjny opisany tabelą przejść i wyjść otrzymaną od prowadzącego. Zwrócić szczególną uwagę na eliminacje zjawiska hazardów i wyścigów.
- Zrealizować na przerzutnikach RS asynchroniczny statyczny układ sekwencyjny opisany tabelą przejść i wyjść otrzymaną od prowadzącego. Zwrócić szczególną uwagę na eliminacje zjawiska hazardów i wyścigów.
- Zrealizować na przełącznikach układ opisany tabelą kolejności łączy otrzymaną od prowadzącego. Następnie powtórnie zminimalizować wskazane przez prowadzącego funkcje wyjściowe metodą Quine’a-McCluskey’a.
- Praktyczne sprawdzanie (badanie) na makiecie El-14 następujących układów:
 - multiplexer 1-bitowy, 4-wejściowy – realizacja na bramkach (skrypt str. 152, rys. 9.2),
 - multiplexer 1-bitowy, 4-wejściowy – element scalony na makiecie,
 - demultiplexer 4-wyjściowy, 1-bitowy – element scalony na makiecie,
 - zrealizować funkcję czterech zmiennych (podaną przez prowadzącego) za pomocą multiplexera (opis w skrypcie str. 154...157).
- Praktyczne sprawdzanie (badanie) na makiecie El-13 następujących układów:
 - koder zamieniający kod „1 z 4” na kod binarny - zrealizować na bramkach logicznych (skrypt str. 117, rys. 7.7a lub 7.7b)

- dekodery 1 z 10 – sprawdzić wszystkie kombinacje sygnałów adresowych – element scalony na makiecie,
 - konwerter kodu 8421 na Grey’a lub odwrotnie - do wyboru- (skrypt str. 126, rys. 7.18/7.19),
 - zaprojektować i zrealizować (na makiecie) z użyciem bramek logicznych konwerter 3-bitowego kodu binarnego na kod wskazany przez prowadzącego.
7. Zrealizować na przerzutnikach JK synchroniczny statyczny układ sekwencyjny opisany tabelą przejść i wyjść otrzymaną od prowadzącego.
8. Praktyczne sprawdzanie (badanie) na makiecie El-15 następujących układów:
- półsumator jednobitowy (skrypt str. 137, rys. 8.3c),
 - sumator liczb 4-bitowych (element scalony na makiecie) z przeniesieniem z pozycji poprzedniej (C0) oraz przeniesieniem na pozycję następną (C4) – sprawdzić kilka wybranych sumowań, także z uwzględnieniem przeniesień,
 - układ dodający – odejmujący liczb dwójkowych w zapisie uzupełnienia do dwóch (skrypt str. 141, rys. 8.9),
 - komparator liczb 4-bitowych (element scalony na makiecie) - sprawdzić kilka wybranych liczb,
 - komparator liczb 2*4-bitowych (połączenie dwóch elementów scalonych na makiecie) - sprawdzić kilka wybranych liczb.
9. Praktyczne sprawdzanie (badanie) na makiecie El-15 następujących układów:
- licznik szeregowy modulo 8 dodający (skrypt, str. 162, rys. 10.2) – spisać stan wyjść licznika dla kolejnych impulsów zegara,
 - licznik szeregowy modulo 8 odejmujący (skrypt, str. 163, rys. 10.3) – spisać stan wyjść licznika dla kolejnych impulsów zegara,
 - licznik szeregowy modulo 5 dodający – na podstawie analizy rys. 10.5, skrypt, str. 162 (licznik modulo 6), skonstruować licznik modulo 5 i spisać stan wyjść licznika dla kolejnych impulsów zegara. Jeśli grupa ma problem – to zrealizować wprost układ z rys. 10.5,
 - licznik równoległy modulo 16 – (skrypt, str. 165, rys. 10.4a lub 10.4b) – spisać stan wyjść licznika dla kolejnych impulsów zegara.
10. Praktyczne sprawdzanie (badanie) z użyciem programu symulacyjnego następujących układów:
- ...- rejestr równoległy 4-bitowy, tzw. zatrask (skrypt, str. 181, rys. 11.1) – spisać stan wyjść równoległych rejestru dla kolejnych impulsów zegara, przy zmieniających się wejściach równoległych,
 - ...- jednokierunkowy rejestr przesuwający 4-bitowy z wyjściami równoległymi (skrypt, str. 182, rys. 11.3) – spisać stan wyjść równoległych rejestru dla kolejnych impulsów zegara, przy zmieniającym się sygnale na wejściu szeregowym,
 - ...- rejestr przesuwający 4-bitowy z wyjściami i wejściami równoległymi (skrypt, str. 184, rys. 11.6) – spisać stan wyjść równoległych rejestru dla kolejnych impulsów zegara, przy zmieniających się wejściach równoległych i wejściu szeregowym